

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年3月24日
Date of Application:

出願番号 特願2003-081221
Application Number:

[ST. 10/C] : [JP 2003-081221]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年11月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 J0097430
【提出日】 平成15年 3月24日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 25/065
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 青▲柳▼ 哲理
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100066980
【弁理士】
【氏名又は名称】 森 哲也
【選任した代理人】
【識別番号】 100075579
【弁理士】
【氏名又は名称】 内藤 嘉昭
【選任した代理人】
【識別番号】 100103850
【弁理士】
【氏名又は名称】 崔 秀▲てつ▼
【手数料の表示】
【予納台帳番号】 001638
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体パッケージ、電子デバイス、電子機器
、半導体装置の製造方法および電子デバイスの製造方法

【特許請求の範囲】

【請求項 1】 突出電極の接合面積が互いに異なる複数の第1接合面が形成された第1半導体パッケージと、

前記第1接合面にそれぞれ対向配置され、前記突出電極の接合面積が互いに異なる複数の第2接合面が形成された第2半導体パッケージとを備えることを特徴とする半導体装置。

【請求項 2】 前記接合面積は、前記突出電極が接合されるランド上の絶縁膜の開口面積であることを特徴とする請求項1記載の半導体装置。

【請求項 3】 前記接合面積は、前記半導体パッケージの中央部から外周部に向かって徐々に変化していることを特徴とする請求項1または2記載の半導体装置。

【請求項 4】 前記第1半導体パッケージと前記第2半導体パッケージとの間の間隔が広くなるに従って、前記第1接合面の接合面積および前記第2接合面の接合面積が徐々に小さくなっていることを特徴とする請求項1～3のいずれか1項記載の半導体装置。

【請求項 5】 前記複数の接合面にそれぞれ接合される突出電極の体積は実質的に同一であることを特徴とする請求項1～4のいずれか1項記載の半導体装置。

【請求項 6】 第1半導体パッケージと、
体積が互いに異なる複数の突出電極をそれぞれ介し、前記第1半導体パッケージ上に積層された第2半導体パッケージとを備えることを特徴とする半導体装置。

【請求項 7】 前記突出電極の体積は、前記半導体パッケージの中央部から外周部に向かって徐々に変化していることを特徴とする請求項6記載の半導体装置。

【請求項 8】 前記第1半導体パッケージと前記第2半導体パッケージとの

間の間隔が広くなるに従って、前記突出電極の体積が徐々に大きくなっていることを特徴とする請求項7記載の半導体装置。

【請求項9】 前記突出電極は、導電性ペーストの量が異なることを特徴とする請求項6～8のいずれか1項記載の半導体装置。

【請求項10】 前記第1半導体パッケージは、
第1キャリア基板と、
前記第1キャリア基板上にフリップチップ実装された第1半導体チップとを備え、
前記第2半導体パッケージは、
前記突出電極を介し、前記第1半導体チップ上に保持されるように前記第1キャリア基板上に実装された第2キャリア基板と、
前記第2キャリア基板上に搭載された第2半導体チップと、
前記第2半導体チップを封止する封止材とを備えることを特徴とする請求項1～9のいずれか1項記載の半導体装置。

【請求項11】 前記第1半導体パッケージは、前記第1キャリア基板上に前記第1半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第2半導体パッケージは、前記第2キャリア基板上に搭載された第2半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする請求項10記載の半導体装置。

【請求項12】 突出電極の接合面積が互いに異なる複数の第1接合面が形成された第1キャリア基板と、
前記第1キャリア基板上にフリップチップ実装された第1電子部品と、
前記第1接合面に対向配置され、前記突出電極の接合面積が互いに異なる複数の第2接合面が形成された第2キャリア基板と、
前記第2キャリア基板上に搭載された第2電子部品と、
前記第2電子部品を封止する封止材とを備えることを特徴とする電子デバイス。

【請求項13】 第1キャリア基板と、
前記第1キャリア基板上にフリップチップ実装された第1電子部品と、

体積が互いに異なる複数の突出電極をそれぞれ介し、前記第1電子部品上に保持されるように前記第1キャリア基板上に実装された第2キャリア基板と、前記第2キャリア基板上に搭載された第2電子部品と、前記第2電子部品を封止する封止材とを備えることを特徴とする電子デバイス。

【請求項14】 自パッケージに接続される相手方のパッケージの反りに対応して、自パッケージに接合される突出電極の接合面の接合面積が変化していることを特徴とする半導体パッケージ。

【請求項15】 突出電極の接合面積が互いに異なる複数の第1接合面が形成された第1半導体パッケージと、

前記第1接合面に対向配置され、前記突出電極の接合面積が互いに異なる複数の第2接合面が形成された第2半導体パッケージと、

前記第2半導体パッケージが実装されたマザー基板とを備えることを特徴とする電子機器。

【請求項16】 第1半導体パッケージと、
体積が互いに異なる複数の突出電極をそれぞれ介し、前記第1半導体パッケージ上に積層された第2半導体パッケージと、

前記第2半導体パッケージが実装されたマザー基板とを備えることを特徴とする電子機器。

【請求項17】 第1半導体パッケージに設けられた第1ランド上の絶縁膜に開口面積の異なる第1開口部を形成する工程と、

第2半導体パッケージに設けられた第2ランド上の絶縁膜に開口面積の異なる第2開口部を形成する工程と、

前記第2開口部が形成された第2ランド上に突出電極を形成する工程と、前記第2ランド上に形成された突出電極を前記第1ランド上に接合することにより、前記第1半導体パッケージ上に前記第2半導体パッケージを積層する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項18】 マスク厚が異なる印刷面を有する印刷マスクを介して導電材を塗布することにより、厚みの異なる導電材を第1半導体パッケージ上に形成

する工程と、

第2半導体パッケージに突出電極を形成する工程と、

前記第2半導体パッケージに形成された突出電極を、前記導電材を介して前記第1半導体パッケージに接合することにより、前記第1半導体パッケージ上に前記第2半導体パッケージを積層する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項19】 導電材の塗布量を制御することにより、厚みの異なる導電材を第1半導体パッケージ上に形成する工程と、

第2半導体パッケージに突出電極を形成する工程と、

前記第2半導体パッケージに形成された突出電極を、前記導電材を介して前記第1半導体パッケージに接合することにより、前記第1半導体パッケージ上に前記第2半導体パッケージを積層する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項20】 第1キャリア基板に設けられた第1ランド上の絶縁膜に開口面積の異なる第1開口部を形成する工程と、

前記第1キャリア基板上に第1電子部品を実装する工程と、

第2キャリア基板に設けられた第2ランド上の絶縁膜に開口面積の異なる第2開口部を形成する工程と、

前記第2キャリア基板上に第2電子部品を実装する工程と、

前記第2開口部が形成された第2ランド上に突出電極を形成する工程と、

前記第2ランド上に形成された突出電極を前記第1ランド上に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする電子デバイスの製造方法。

【請求項21】 第1キャリア基板上に第1電子部品を実装する工程と、マスク厚が異なる印刷面を有する印刷マスクを介して導電材を塗布することにより、厚みの異なる導電材を前記第1キャリア基板上に形成する工程と、

第2キャリア基板上に第2電子部品を実装する工程と、

前記第2電子部品が実装された第2キャリア基板に突出電極を形成する工程と

、

前記第2キャリア基板に形成された突出電極を、前記導電材を介して前記第1キャリア基板に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする電子デバイスの製造方法。

【請求項22】 第1キャリア基板上に第1電子部品を実装する工程と、導電材の塗布量を制御することにより、厚みの異なる導電材を前記第1キャリア基板上に形成する工程と、

第2キャリア基板上に第2電子部品を実装する工程と、

前記第2電子部品が実装された第2キャリア基板に突出電極を形成する工程と

、
前記第2キャリア基板に形成された突出電極を、前記導電材を介して前記第1キャリア基板に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする電子デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置、半導体パッケージ、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法に関し、特に、半導体パッケージなどの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、半導体チップの3次元実装を実現するため、例えば、特許文献1に開示されているように、金属ボールを介し、半導体チップが実装されたパッケージを積層する方法がある。

【0003】

【特許文献1】

特開平11-307717号公報

【0004】

【発明が解決しようとする課題】

しかしながら、半導体チップをパッケージに実装すると、半導体チップとパッ

ケージとの間の線膨張係数などの違いから、パッケージに反りが発生する。このため、金属ボールを介してパッケージを積層する方法では、パッケージに反りが発生すると、パッケージ同士の間隔にバラツキが発生し、金属ボールの接合強度が劣化して、3次元実装時の接続信頼性が劣化するという問題があった。

【0005】

そこで、本発明の目的は、パッケージの反りを考慮しつつ、3次元実装時の接続信頼を向上させることが可能な半導体装置、半導体パッケージ、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法を提供することである。

【0006】

【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、突出電極の接合面積が互いに異なる複数の第1接合面が形成された第1半導体パッケージと、前記第1接合面にそれぞれ対向配置され、前記突出電極の接合面積が互いに異なる複数の第2接合面が形成された第2半導体パッケージとを備えることを特徴とする。

【0007】

これにより、第1接合面および第2接合面の両面で突出電極の広がりを制御することが可能となり、第1接合面と第2接合面との間に接合された突出電極の太さを調整することが可能となる。このため、第1半導体パッケージと第2半導体パッケージとの間の間にバラツキがある場合においても、突出電極の括れを抑制することができ、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることができるとなる。

【0008】

また、本発明の一態様に係る半導体装置によれば、前記接合面積は、前記突出電極が接合されるランド上の絶縁膜の開口面積であることを特徴とする。

これにより、ランド上に形成された絶縁膜の開口パターンを変更することで、突出電極の接合面積を変化させることができとなり、製造工程を複雑化させることなく、第1接合面と第2接合面との間に接合された突出電極の太さを調整する

ことが可能となる。

【0009】

また、本発明の一態様に係る半導体装置によれば、前記接合面積は、前記半導体パッケージの中央部から外周部に向かって徐々に変化していることを特徴とする。

これにより、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、突出電極の括れを抑制しつつ、第1接合面と第2接合面との間に突出電極を接合させることができるとなる。

【0010】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージと前記第2半導体パッケージとの間の間隔が広くなるに従って、前記第1接合面の接合面積および前記第2接合面の接合面積が徐々に小さくなっていることを特徴とする。

これにより、第1半導体パッケージと第2半導体パッケージとの間の間隔が広い領域では、第1接合面および第2接合面の両面で突出電極の広がりを抑制することが可能となり、第1半導体パッケージと第2半導体パッケージとの間で突出電極を太らせることが可能となる。このため、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、第1半導体パッケージと第2半導体パッケージとの間における突出電極の括れを抑制して、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることができとなる。

【0011】

また、本発明の一態様に係る半導体装置によれば、前記複数の接合面にそれぞれ接合される突出電極の体積は実質的に同一であることを特徴とする。

これにより、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、突出電極の大きさを変更することなく、突出電極の括れを抑制することが可能となり、生産効率を劣化させることなく、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることができとなる。

【0012】

また、本発明の一態様に係る半導体装置によれば、第1半導体パッケージと、体積が互いに異なる複数の突出電極をそれぞれ介し、前記第1半導体パッケージ上に積層された第2半導体パッケージとを備えることを特徴とする。

これにより、第1半導体パッケージと第2半導体パッケージとの間の突出電極の太さを調整することが可能となり、第1半導体パッケージと第2半導体パッケージとの間の間にバラツキがある場合においても、突出電極の括れを抑制して、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることが可能となる。

【0013】

また、本発明の一態様に係る半導体装置によれば、前記突出電極の体積は、前記半導体パッケージの中央部から外周部に向かって徐々に変化していることを特徴とする。

これにより、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、突出電極の括れを抑制しつつ、第1半導体パッケージと第2半導体パッケージとを接続することが可能となる。

【0014】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージと前記第2半導体パッケージとの間の間隔が広くなるに従って、前記突出電極の体積が徐々に大きくなっていることを特徴とする。

これにより、第1半導体パッケージと第2半導体パッケージとの間の間隔が広い領域では、第1半導体パッケージと第2半導体パッケージとの間の突出電極を太らせることができとなり、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、第1半導体パッケージと第2半導体パッケージとの間における突出電極の括れを抑制することが可能となる。

【0015】

また、本発明の一態様に係る半導体装置によれば、前記突出電極は、導電性ペーストの量が異なることを特徴とする。

これにより、導電性ペーストの量を調整することで、第1半導体パッケージと第2半導体パッケージとの間の突出電極の太さを調整することが可能となり、第1半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、製造工程の複雑化を抑制しつつ、突出電極の括れを抑制することが可能となる。

【0016】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、第1キャリア基板と、前記第1キャリア基板上にフリップチップ実装された第1半導体チップとを備え、前記第2半導体パッケージは、前記突出電極を介し、前記第1半導体チップ上に保持されるように前記第1キャリア基板上に実装された第2キャリア基板と、前記第2キャリア基板上に搭載された第2半導体チップと、前記第2半導体チップを封止する封止材とを備えることを特徴とする。

【0017】

これにより、第1半導体パッケージおよび第2半導体パッケージの種類が異なる場合においても、高さの増大を抑制しつつ、第1半導体パッケージ上に第2半導体パッケージを積層させることができるとともに、第1半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、突出電極の括れを抑制することが可能となり、省スペース化を可能としつつ、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることができる。

【0018】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1キャリア基板上に前記第1半導体チップがフリップチップ実装されたボルグリッドアレイ、前記第2半導体パッケージは、前記第2キャリア基板上に搭載された第2半導体チップがモールド封止されたボルグリッドアレイまたはチップサイズパッケージであることを特徴とする。

【0019】

これにより、汎用パッケージを用いた場合においても、突出電極の括れを抑制しつつ、異種パッケージを積層することが可能となり、生産効率を劣化させるこ

となく、異種パッケージ間の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る電子デバイスによれば、突出電極の接合面積が互いに異なる複数の第1接合面が形成された第1キャリア基板と、前記第1キャリア基板上にフリップチップ実装された第1電子部品と、前記第1接合面に対向配置され、前記突出電極の接合面積が互いに異なる複数の第2接合面が形成された第2キャリア基板と、前記第2キャリア基板上に搭載された第2電子部品と、前記第2電子部品を封止する封止材とを備えることを特徴とする。

【0020】

これにより、第1キャリア基板上に第2キャリア基板を積層させることを可能としつつ、第1キャリア基板および第2キャリア基板の両側から、突出電極の広がりを制御することが可能となる。

このため、接合面積の変動量を抑制しつつ、第1接合面と第2接合面との間に接合された突出電極の太さを調整することが可能となり、第1キャリア基板上に第2キャリア基板との間の間に大きなバラツキがある場合においても、必要な接合面積を確保することを可能としつつ、突出電極の括れを抑制することが可能となる。

【0021】

また、本発明の一態様に係る電子デバイスによれば、第1キャリア基板と、前記第1キャリア基板上にフリップチップ実装された第1電子部品と、体積が互いに異なる複数の突出電極をそれぞれ介し、前記第1電子部品上に保持されるよう前記第1キャリア基板上に実装された第2キャリア基板と、前記第2キャリア基板上に搭載された第2電子部品と、前記第2電子部品を封止する封止材とを備えることを特徴とする。

【0022】

これにより、第1キャリア基板上に第2キャリア基板を積層させることを可能としつつ、第1キャリア基板および第2キャリア基板の両側から、突出電極の広がりを制御することが可能となる。

このため、接合面積の変動量を抑制しつつ、第1接合面と第2接合面との間に接合された突出電極の太さを調整することが可能となり、第1キャリア基板上に

第2キャリア基板との間の間隔に大きなバラツキがある場合においても、必要な接合面積を確保することを可能としつつ、突出電極の括れを抑制することが可能となる。

【0023】

また、本発明の一態様に係る半導体パッケージによれば、自パッケージに接続される相手方のパッケージの反りに対応して、自パッケージに接合される突出電極の接合面の接合面積が変化していることを特徴とする。

これにより、相手方のパッケージの反りがある場合においても、自パッケージ側で突出電極の広がりを制御することが可能となり、自パッケージに接合される突出電極の太さを自パッケージ側で調整することを可能として、パッケージ間の接続信頼性を向上させることができるとなる。

【0024】

また、本発明の一態様に係る電子機器によれば、突出電極の接合面積が互いに異なる複数の第1接合面が形成された第1半導体パッケージと、前記第1接合面に対向配置され、前記突出電極の接合面積が互いに異なる複数の第2接合面が形成された第2半導体パッケージと、前記第2半導体パッケージが実装されたマザーベース板とを備えることを特徴とする。

【0025】

これにより、突出電極の接合面積を変化させることで、第1接合面と第2接合面との間に接合された突出電極の太さを調整することが可能となり、第1半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、突出電極の括れを抑制することが可能となる。

また、本発明の一態様に係る電子機器によれば、第1半導体パッケージと、体積が互いに異なる複数の突出電極をそれぞれ介し、前記第1半導体パッケージ上に積層された第2半導体パッケージと、前記第2半導体パッケージが実装されたマザーベース板とを備えることを特徴とする。

【0026】

これにより、突出電極の体積を変化させることで、第1半導体パッケージと第2半導体パッケージとの間の突出電極の太さを調整することが可能となり、第1

半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、突出電極の括れを抑制することが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、第1半導体パッケージに設けられた第1ランド上の絶縁膜に開口面積の異なる第1開口部を形成する工程と、第2半導体パッケージに設けられた第2ランド上の絶縁膜に開口面積の異なる第2開口部を形成する工程と、前記第2開口部が形成された第2ランド上に突出電極を形成する工程と、前記第2ランド上に形成された突出電極を前記第1ランド上に接合することにより、前記第1半導体パッケージ上に前記第2半導体パッケージを積層する工程とを備えることを特徴とする。

【0027】

これにより、突出電極の接合面積を変化させることが可能となり、ランド上における突出電極の広がりを制御することが可能となる。このため、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、突出電極の括れを抑制しつつ、第1半導体パッケージ上に第2半導体パッケージを積層することが可能となる。

【0028】

また、本発明の一態様に係る半導体装置の製造方法によれば、マスク厚が異なる印刷面を有する印刷マスクを介して導電材を塗布することにより、厚みの異なる導電材を第1半導体パッケージ上に形成する工程と、第2半導体パッケージに突出電極を形成する工程と、前記第2半導体パッケージに形成された突出電極を、前記導電材を介して前記第1半導体パッケージに接合することにより、前記第1半導体パッケージ上に前記第2半導体パッケージを積層する工程とを備えることを特徴とする。

【0029】

これにより、導電材を第1半導体パッケージ上に転写することで、第1半導体パッケージと第2半導体パッケージとの間の突出電極の太さを調整することが可能となり、第1半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、製造工程の複雑化を抑制しつつ、突出電極の括れを抑制することが可能となる。

【0030】

また、本発明の一態様に係る半導体装置の製造方法によれば、導電材の塗布量を制御することにより、厚みの異なる導電材を第1半導体パッケージ上に形成する工程と、第2半導体パッケージに突出電極を形成する工程と、前記第2半導体パッケージに形成された突出電極を、前記導電材を介して前記第1半導体パッケージに接合することにより、前記第1半導体パッケージ上に前記第2半導体パッケージを積層する工程とを備えることを特徴とする。

【0031】

これにより、導電性ペーストの塗布量を調整することで、第1半導体パッケージと第2半導体パッケージとの間の突出電極の太さを調整することが可能となり、第1半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、製造工程の複雑化を抑制しつつ、突出電極の括れを抑制することが可能となる。

【0032】

また、本発明の一態様に係る電子デバイスの製造方法によれば、第1キャリア基板に設けられた第1ランド上の絶縁膜に開口面積の異なる第1開口部を形成する工程と、前記第1キャリア基板上に第1電子部品を実装する工程と、第2キャリア基板に設けられた第2ランド上の絶縁膜に開口面積の異なる第2開口部を形成する工程と、前記第2キャリア基板上に第2電子部品を実装する工程と、前記第2開口部が形成された第2ランド上に突出電極を形成する工程と、前記第2ランド上に形成された突出電極を前記第1ランド上に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする。

【0033】

これにより、突出電極の接合面積を変化させることができとなり、第1キャリア基板および第2キャリア基板の一方または双方に反りが発生した場合においても、突出電極の括れを抑制しつつ、第1キャリア基板上に第2キャリア基板を積層することが可能となる。

また、本発明の一態様に係る電子デバイスの製造方法によれば、第1キャリア

基板上に第1電子部品を実装する工程と、マスク厚が異なる印刷面を有する印刷マスクを介して導電材を塗布することにより、厚みの異なる導電材を前記第1キャリア基板上に形成する工程と、第2キャリア基板上に第2電子部品を実装する工程と、前記第2電子部品が実装された第2キャリア基板に突出電極を形成する工程と、前記第2キャリア基板に形成された突出電極を、前記導電材を介して前記第1キャリア基板に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする。

【0034】

これにより、導電材を第1キャリア基板上に転写することで、第1キャリア基板と第2キャリア基板との間の突出電極の太さを調整することが可能となり、1キャリア基板と第2キャリア基板との間の間隔にバラツキがある場合においても、製造工程の複雑化を抑制しつつ、突出電極の括れを抑制することが可能となる。

【0035】

また、本発明の一態様に係る電子デバイスの製造方法によれば、第1キャリア基板上に第1電子部品を実装する工程と、導電材の塗布量を制御することにより、厚みの異なる導電材を前記第1キャリア基板上に形成する工程と、第2キャリア基板上に第2電子部品を実装する工程と、前記第2電子部品が実装された第2キャリア基板に突出電極を形成する工程と、前記第2キャリア基板に形成された突出電極を、前記導電材を介して前記第1キャリア基板に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする。

【0036】

これにより、導電性ペーストの塗布量を調整することで、第1キャリア基板と第2キャリア基板との間の突出電極の太さを調整することが可能となり、第1キャリア基板と第2キャリア基板との間の間隔にバラツキがある場合においても、製造工程の複雑化を抑制しつつ、突出電極の括れを抑制することが可能となる。

【0037】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置、電子デバイスおよびそれら製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の構成を示す断面図である。なお、この第1実施形態は、突出電極29a、29bが接合される半導体パッケージPK11、PK12の双方の開口部13a、13bおよび開口部22a、22bの開口径を変化させるようにしたものである。

【0038】

図1において、半導体パッケージPK11にはキャリア基板11が設けられている。そして、キャリア基板11の裏面には、突出電極19を配置するためのランド14が設けられている。そして、ランド14が設けられたキャリア基板11の裏面にはソルダレジストなどの絶縁膜12が形成され、絶縁膜12には、ランド14の表面を露出させる開口部12aが設けられている。

【0039】

一方、キャリア基板11の表面には、突出電極29a、29bをそれぞれ配置するためのランド15a、15bがそれぞれ設けられるとともに、突出電極17を配置するためのランド15cが設けられている。そして、ランド15a～15cが設けられたキャリア基板11の表面にはソルダレジストなどの絶縁膜13が形成され、絶縁膜13には、ランド15a～15cの表面を露出させる開口部13a～13cがそれぞれ設けられている。

【0040】

ここで、突出電極29a、29bに対応してそれぞれ設けられた開口部13a、13bの開口径は、例えば、キャリア基板11の中央部から外周部に向かって徐々に小さくなるように設定することができる。

そして、キャリア基板11上には半導体チップ16がフリップチップ実装され、半導体チップ16には、フリップチップ実装するための突出電極17が設けられている。そして、半導体チップ16に設けられた突出電極17は、異方性導電フィルム18を介してランド15c上にACF (Anisotropic Conductive Film) 接合されている。また、キャリア基板11の裏面に設けられたランド14上には、キャリア基板11をマザーベース板上に実装するた

めの突出電極29が設けられている。

【0041】

一方、半導体パッケージPK12にはキャリア基板21が設けられている。そして、キャリア基板21の裏面には、突出電極29a、29bをそれぞれ配置するためのランド24a、24bが設けられている。そして、ランド24a、24bが設けられたキャリア基板21の裏面にはソルダレジストなどの絶縁膜22が形成され、絶縁膜22には、ランド24a、24bの表面を露出させる開口部22a、22bがそれぞれ設けられている。

【0042】

ここで、突出電極29a、29bにそれぞれ対応して設けられた開口部22a、22bの開口径は、例えば、キャリア基板21の中央部から外周部に向かって徐々に小さくなるように設定することができる。

一方、キャリア基板11の表面には、ワイヤボンド接続するためのランド25が設けられている。そして、ランド25が設けられたキャリア基板21の表面にはソルダレジストなどの絶縁膜23が形成され、絶縁膜23には、ランド25の表面を露出させる開口部23aが設けられている。

【0043】

そして、キャリア基板21上には、接着層27aを介し半導体チップ26aがフェースアップ実装され、半導体チップ26aは、導電性ワイヤ28aを介してランド25にワイヤボンド接続されている。さらに、半導体チップ26a上には、導電性ワイヤ28aを避けるようにして、半導体チップ26bがフェースアップ実装され、半導体チップ26bは、接着層27bを介して半導体チップ26a上に固定されるとともに、導電性ワイヤ28bを介してランド25にワイヤボンド接続されている。なお、導電性ワイヤ28a、28bとしては、例えば、AuワイヤやAlワイヤなどを用いることができる。

【0044】

また、キャリア基板21の裏面に設けられたランド24a、24b上には、キャリア基板21が半導体チップ16上に保持されるようにして、キャリア基板21をキャリア基板11上に実装するための突出電極29a、29bがそれぞれ設

けられている。ここで、突出電極29a、29bは、半導体チップ16の搭載領域を避けるようにして配置され、例えば、キャリア基板21の裏面の周囲に突出電極29a、29bを配置することができる。

【0045】

また、半導体チップ26a、26bの実装面側のキャリア基板21の一面全体に封止樹脂30が設けられ、この封止樹脂30により半導体チップ26a、26bが封止されている。なお、封止樹脂30で半導体チップ26a、26bを封止する場合、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより行うことができる。

【0046】

ここで、キャリア基板11や半導体チップ16などの線膨張係数の違いにより、半導体パッケージPK11が下側に反り、キャリア基板21や封止樹脂30などの線膨張係数の違いにより、半導体パッケージPK12が上側に反っているものとする。

そして、例えば、半導体パッケージPK11が下側に反り、半導体パッケージPK12が上側に反った状態で、キャリア基板11上に設けられたランド15a、15bに突出電極29a、29bをそれぞれ接合させることにより、キャリア基板21をキャリア基板11上に実装することができる。

【0047】

ここで、突出電極29a、29bの下面に対応してそれぞれ設けられた開口部13a、13bの開口径および突出電極29a、29bの上面に対応してそれぞれ設けられた開口部22a、22bの開口径の双方を、キャリア基板11、21の中央部から外周部に向かってそれぞれ小さくなるように設定することにより、積層されたキャリア基板11、21の両側から、突出電極29a、29bの広がりを制御することが可能となる。

【0048】

このため、突出電極29a、29bの接合面積の変動量を抑制しつつ、ランド15a、15bとランド24a、24bとの間にそれぞれ接合された突出電極29a、29bの太さを調整することが可能となり、キャリア基板11、21の反

りが大きい場合においても、突出電極29a、29bの必要な接合面積を確保することを可能としつつ、突出電極29a、29bの括れを抑制することが可能となる。

【0049】

さらに、開口部13a、13bの開口径および開口部22a、22bの開口径の双方を変化させることにより、キャリア基板11、21に反りがある場合においても、突出電極29a、29bの体積を変化させることなく、突出電極29a、29bの括れを抑制することが可能となる。このため、突出電極29a、29bをキャリア基板21に形成する際の製造効率の劣化を抑制しつつ、キャリア基板11、21間の接続信頼性を向上させることが可能となる。

【0050】

例えば、突出電極29a、29bを半田ボールで構成した場合のボール径が ϕ 0.3mmで等しいものとし、キャリア基板21の反りが $80\mu\text{m}$ だけあるとする。そして、キャリア基板11の開口部13a、13bの開口径を $\phi 0.3\text{mm}$ で一定とし、キャリア基板21の中央部の開口部24bの開口径を $\phi 0.28\text{mm}$ とすると、キャリア基板21の中央部の取り付け高は0.205mmとなる。この場合、キャリア基板21の端部の取り付け高を0.285mmとするには、キャリア基板21の端部の開口部24aの開口径を $\phi 0.05\text{mm}$ とする必要がある。このため、開口部24aの開口径が極端に小さくなり、突出電極29aとランド24aとの接合面積が小さくなり過ぎることから、突出電極29aとランド24aとの接合強度が不足する。

【0051】

一方、キャリア基板11の中央部の開口部13bの開口径を $\phi 0.3\text{mm}$ に維持したまま、キャリア基板11の端部の開口部13aの開口径を $\phi 0.28\text{mm}$ と小さくすると、キャリア基板21の端部の取り付け高を0.285mmとするには、キャリア基板21の端部の開口部24aの開口径を $\phi 0.25\text{mm}$ とすればよい。このため、開口部24aの開口径が小さくなり過ぎることを防止しつつ、必要な取り付け高を確保することができる。

【0052】

なお、キャリア基板11、21としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板11、21の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BTレジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極16、19、29a、29bとしては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができ、特に、突出電極29a、29bとしては、半田ボールあるいは導電性ペーストなどを用いることが好ましい。また、キャリア基板21をキャリア基板11上に実装するために、突出電極29a、29bをキャリア基板21側に設ける方法について説明したが、突出電極29a、29bをキャリア基板11側に設けるようにしてもよい。

【0053】

また、上述した実施形態では、ACF接合により半導体チップ16をキャリア基板11上に実装する方法について説明したが、例えば、NCF (Nonconductive Film) 接合、ACP (Anisotropic Conductive Paste) 接合、NCP (Nonconductive Paste) 接合などのその他の圧接接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、半導体チップ26a、26bをキャリア基板21上に実装する場合、ワイヤボンド接続を用いる方法について説明したが、キャリア基板21上に半導体チップ26a、26bをフリップチップ実装するようにしてもよい。さらに、上述した実施形態では、キャリア基板11上に半導体チップ16を1個だけ実装する方法を例にとって説明したが、キャリア基板11上に複数の半導体チップを実装するようにしてもよい。また、キャリア基板11とキャリア基板21との間の隙間には、必要に応じて樹脂を注入するようにしてもよい。さらに、上述した実施形態では、半導体チップ16をキャリア基板11にフェースダウン実装する例を示したが、フェースアップ実装されていても良い（図示せず）。この場合、半導体チップ16は封止されても良い。また、この場合、キャリア基板11の半導体チップ16が封止されている部分は下に凸に変形し、封止されていない部分は上に凸に変形する。

【0054】

また、上述した実施形態では、下側のキャリア基板11が下側に反り、上側のキャリア基板21が上側に反った場合を例にとって説明したが、下側のキャリア基板11に反りがなく、上側のキャリア基板21が上側に反った場合、上側のキャリア基板21に反りがなく、下側のキャリア基板11が下側に反った場合、双方のキャリア基板11、21が下側に反り、下側のキャリア基板11の方が反りが大きい場合、双方のキャリア基板11、21が上側に反り、上側のキャリア基板21の方が反りが大きい場合についても同様に適用することができる。

【0055】

さらに、下側のキャリア基板11が上側に反り、上側のキャリア基板21が下側に反った場合、下側のキャリア基板11に反りがなく、上側のキャリア基板21が下側に反った場合、上側のキャリア基板21に反りがなく、下側のキャリア基板11が上側に反った場合、双方のキャリア基板11、21が下側に反り、上側のキャリア基板11の方が反りが大きい場合、双方のキャリア基板11、21が上側に反り、下側のキャリア基板21の方が反りが大きい場合についても適用するようにしてもよい。なお、これらの場合、突出電極29a、29bの下面に對応してそれぞれ設けられた開口部13a、13bの開口径および突出電極29a、29bの上面に對応してそれぞれ設けられた開口部22a、22bの開口径の双方を、キャリア基板11、21の中央部から外周部に向かってそれぞれ大きくなるように設定することが好ましい。

【0056】

図2は、図1の半導体装置の製造方法を示す断面図である。

図2 (a)において、半導体パッケージPK11が下側に反り、半導体パッケージPK12が上側に反っているものとする。そして、半導体パッケージPK11上に半導体パッケージPK12を積層する場合、キャリア基板22のランド24a、24b上に突出電極29a、29bをそれぞれ形成する。ここで、突出電極29a、29bとして、例えば、半田ボールを用いた場合、ボール径を実質的に（すなわち、製造誤差の範囲内で）等しく設定することができる。

【0057】

次に、図2 (b) に示すように、突出電極29a、29bが形成された半導体パッケージPK12を半導体パッケージPK11上にマウントし、リフロー処理を行うことにより、突出電極29a、29bをランド15a、15bおよびランド24a、24b上にそれぞれ接合させる。

ここで、突出電極29a、29bの下面に対応してそれぞれ設けられた開口部13a、13bの開口径および突出電極29a、29bの上面に対応してそれぞれ設けられた開口部22a、22bの開口径の双方を、キャリア基板11、21の中央部から外周部に向かってそれぞれ小さくなるように設定することにより、突出電極29a、29bとして、ボール径の等しい半田ボールを用いた場合においても、突出電極29a、29bの括れを抑制しつつ、キャリア基板21の取り付け高をキャリア基板11、21の反りに対応させることができるとなる。

【0058】

次に、図2 (c) に示すように、キャリア基板11の裏面に設けられたランド14上に、キャリア基板11をマザー基板上に実装するための突出電極19を形成する。

図3は、本発明の第2実施形態に係る半導体装置の構成を示す断面図である。なお、この第2実施形態は、突出電極59a、59bが接合される半導体パッケージPK21、PK22の双方の開口部43a、43bおよび開口部52a、52bの開口径をそれぞれ変化させるとともに、突出電極49a～49cが接合される半導体パッケージPK21の開口部42a～42cの開口径を変化させるようにしたものである。

【0059】

図3において、半導体パッケージPK21にはキャリア基板41が設けられている。そして、キャリア基板41の裏面には、突出電極49a～49cを配置するためのランド44a～44cが設けられている。そして、ランド44a～44cが設けられたキャリア基板41の裏面にはソルダレジストなどの絶縁膜42が形成され、絶縁膜42には、ランド44a～44cの表面をそれぞれ露出させる開口部42a～44cが設けられている。

【0060】

ここで、突出電極49a～49cにそれぞれ対応して設けられた開口部42a～44cの開口径は、例えば、キャリア基板41の中央部から外周部に向かって徐々に大きくなるように設定することができる。

一方、キャリア基板41の表面には、突出電極59a、59bをそれぞれ配置するためのランド45a、45bがそれぞれ設けられるとともに、突出電極47を配置するためのランド45cが設けられている。そして、ランド45a、45b、45cが設けられたキャリア基板41の表面にはソルダレジストなどの絶縁膜43が形成され、絶縁膜43には、ランド45a～45cの表面を露出させる開口部43a～43cがそれぞれ設けられている。

【0061】

ここで、突出電極59a、59bに対応してそれぞれ設けられた開口部43a、43bの開口径は、例えば、キャリア基板41の中央部から外周部に向かって徐々に小さくなるように設定することができる。

そして、キャリア基板41上には半導体チップ46がフリップチップ実装され、半導体チップ46には、フリップチップ実装するための突出電極47が設けられている。そして、半導体チップ43に設けられた突出電極47は、異方性導電フィルム48を介してランド45c上にACF接合されている。また、キャリア基板41の裏面に設けられたランド44a～44c上には、キャリア基板41をマザーボード71上に実装するための突出電極49a～49cが設けられている。

【0062】

一方、半導体パッケージPK22にはキャリア基板51が設けられている。そして、キャリア基板51の裏面には、突出電極59a、59bをそれぞれ配置するためのランド54a、54bがそれぞれ設けられている。そして、ランド54a、54bが設けられたキャリア基板51の裏面にはソルダレジストなどの絶縁膜52が形成され、絶縁膜52には、ランド54a、54bの表面を露出させる開口部52a、52bがそれぞれ設けられている。

【0063】

ここで、突出電極59a、59bに対応して設けられた開口部52a、52bの開口径は、例えば、キャリア基板51の中央部から外周部に向かって徐々に小

さくなるように設定することができる。

一方、キャリア基板51の表面には、ワイヤボンド接続するためのランド55が設けられている。そして、ランド55が設けられたキャリア基板51の表面にはソルダレジストなどの絶縁膜53が形成され、絶縁膜53には、ランド55の表面を露出させる開口部53aが設けられている。

【0064】

そして、キャリア基板51上には、接着層57aを介し半導体チップ56aがフェースアップ実装され、半導体チップ56aは、導電性ワイヤ58aを介してランド55にワイヤボンド接続されている。さらに、半導体チップ56a上には、導電性ワイヤ58aを避けるようにして、半導体チップ56bがフェースアップ実装され、半導体チップ56bは、接着層57bを介して半導体チップ56a上に固定されるとともに、導電性ワイヤ58bを介してランド55にワイヤボンド接続されている。

【0065】

また、キャリア基板51の裏面に設けられたランド54a、54b上には、キャリア基板51が半導体チップ46上に保持されるようにして、キャリア基板51をキャリア基板41上に実装するための突出電極59a、59bがそれぞれ設けられている。ここで、突出電極59a、59bは、半導体チップ46の搭載領域を避けるようにして配置され、例えば、キャリア基板51の裏面の周囲に突出電極59a、59bを配置することができる。

【0066】

また、半導体チップ56a、56bの実装面側のキャリア基板51の一面全体に封止樹脂60が設けられ、この封止樹脂60により半導体チップ56a、56bが封止されている。

ここで、キャリア基板41や半導体チップ46などの線膨張係数の違いにより、例えば、半導体パッケージPK21が下側に反り、キャリア基板51や封止樹脂60などの線膨張係数の違いにより、半導体パッケージPK22が上側に反っているのもとする。

【0067】

そして、例えば、半導体パッケージPK21が下側に反り、半導体パッケージPK22が上側に反った状態で、キャリア基板41上に設けられたランド45a、45bに突出電極59a、59bをそれぞれ接合させることにより、キャリア基板51をキャリア基板41上に実装することができる。

さらに、マザー基板71上に設けられたランド72に突出電極49a～49cをそれぞれ接合させることにより、キャリア基板21が積層されたキャリア基板11をマザー基板71上に実装することができる。

【0068】

ここで、突出電極59a、59bの下面に対応してそれぞれ設けられた開口部43a、43bの開口径および突出電極59a、59bの上面に対応してそれぞれ設けられた開口部52a、52bの開口径の双方を、キャリア基板41、51の中央部から外周部に向かってそれぞれ小さくなるように設定することにより、積層されたキャリア基板41、51の両側から、突出電極59a、59bの広がりを制御することが可能となる。

【0069】

このため、突出電極59a、59bの接合面積の変動量を抑制しつつ、ランド45a、45bとランド54a、54bとの間にそれぞれ接合された突出電極59a、59bの太さを調整することが可能となり、キャリア基板41、51の反りが大きい場合においても、突出電極59a、59bの必要な接合面積を確保することを可能としつつ、突出電極59a、59bの括れを抑制することが可能となる。

【0070】

さらに、キャリア基板51とマザー基板71との間に挟まれるキャリア基板41において、一方の面に設けられた開口部43a、43bの開口径だけでなく、他方の面に設けられた開口部42a～42cの開口径も変化させることにより、キャリア基板41に反りがある場合においても、キャリア基板51に接合される突出電極59a、59bの括れだけでなく、マザー基板71に接合される突出電極49a～49cの括れも抑制することができる。このため、キャリア基板41とキャリア基板51との接続信頼性だけでなく、キャリア基板41とマザー基板

71との接続信頼性も向上させることが可能となる。

【0071】

なお、キャリア基板41、51およびマザー基板71としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板41、51およびマザー基板71の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BTレジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極46、49a～49c、59a、59bとしては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができ、特に、突出電極49a～49c、59a、59bとしては、半田ボールあるいは導電性ペーストなどを用いることが好ましい。

また、上述した実施形態では、下側のキャリア基板41が下側に反り、上側のキャリア基板51が上側に反った場合を例にとって説明したが、上側のキャリア基板51に反りがなく、下側のキャリア基板41が下側に反った場合、双方のキャリア基板41、51が下側に反り、下側のキャリア基板41の方が反りが大きい場合についても同様に適用することができる。

【0072】

さらに、下側のキャリア基板41が上側に反った場合、上側のキャリア基板51の反りにかかわりなく、突出電極49a～49cにそれぞれ対応して設けられた開口部42a～44cの開口径を、キャリア基板41の中央部から外周部に向かって徐々に小さくなるように設定することができる。

図4、図5は、本発明の第3実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第3実施形態は、印刷マスク111のマスク厚を変化させることにより、キャリア基板81に印刷される導電性ペースト89a、89bの厚みを調整するようにしたものである。

【0073】

図4において、半導体パッケージPK31にはキャリア基板81が設けられている。そして、キャリア基板81の裏面には、図5(b)の突出電極102を配置するためのランド84が設けられている。そして、ランド84が設けられたキ

キャリア基板11の裏面には絶縁膜82が形成され、絶縁膜82には、ランド84の表面を露出させる開口部82aが設けられている。

【0074】

一方、キャリア基板81の表面には、図5(a)の突出電極101a、101bをそれぞれ接合させるためのランド85a、85bがそれぞれ設けられるとともに、突出電極87を配置するためのランド85cが設けられている。そして、ランド85a～85cが設けられたキャリア基板81の表面には絶縁膜83が形成され、絶縁膜83には、ランド85a～85cの表面を露出させる開口部83a～83cがそれぞれ設けられている。なお、開口部83a～83cの開口径は実質的に同一となるように設定することができる。

【0075】

そして、キャリア基板81上には半導体チップ86がフリップチップ実装され、半導体チップ86には、フリップチップ実装するための突出電極87が設けられている。そして、半導体チップ86に設けられた突出電極87は、異方性導電フィルム88を介してランド85c上にACF接合されている。

一方、半導体パッケージPK32にはキャリア基板91が設けられている。そして、キャリア基板91の裏面には、突出電極99a、99bをそれぞれ配置するためのランド94a、94bがそれぞれ設けられている。そして、ランド94a、94bが設けられたキャリア基板91の裏面には絶縁膜92が形成され、絶縁膜92には、ランド94a、94bの表面を露出させる開口部92a、92bがそれぞれ設けられている。なお、開口部92a、92bの開口径は実質的に同一となるように設定することができる。

【0076】

一方、キャリア基板91の表面には、ワイヤボンド接続するためのランド95が設けられている。そして、ランド95が設けられたキャリア基板91の表面には絶縁膜93が形成され、絶縁膜93には、ランド95の表面を露出させる開口部93aが設けられている。

そして、キャリア基板91上には、接着層97aを介し半導体チップ96aがフェースアップ実装され、半導体チップ96aは、導電性ワイヤ98aを介して

ランド95にワイヤボンド接続されている。さらに、半導体チップ96a上には、導電性ワイヤ98aを避けるようにして、半導体チップ96bがフェースアップ実装され、半導体チップ96bは、接着層97bを介して半導体チップ96a上に固定されるとともに、導電性ワイヤ98bを介してランド95にワイヤボンド接続されている。

【0077】

また、キャリア基板91の裏面に設けられたランド94a、94b上には、キャリア基板91が半導体チップ86上に保持されるようにして、キャリア基板91をキャリア基板81上に実装するための突出電極99a、99bがそれぞれ設けられている。

また、半導体チップ96a、96bの実装面側のキャリア基板91の一面全体に封止樹脂100が設けられ、この封止樹脂100により半導体チップ96a、96bが封止されている。

【0078】

一方、印刷マスク111には、導電性ペースト89を充填するための開口部113a、113bが設けられるとともに、印刷マスク111の転写面側には、半導体チップ86を挿入可能な開口部112が設けられている。ここで、印刷マスク111のマスク厚は、開口部113a、113bの位置に応じて異なるように設定され、例えば、印刷マスク111の中央部から外周部に向かって徐々に厚くなるように設定することができる。

【0079】

例えば、印刷マスク111のマスク厚を変化させる場合、印刷マスク111の上面の断面形状を平坦に保ったまま、印刷マスク111の転写面側の断面形状をアーチ状にすることができる。

そして、半導体パッケージPK31が下側に反り、半導体パッケージPK32が上側に反っているものとする。そして、半導体パッケージPK31上に半導体パッケージPK32を積層する場合、印刷マスク111の上面に導電性ペースト89を供給する。そして、印刷マスク111の開口部113a、113bに導電性ペースト89がそれぞれ充填されると、キャリア基板81を印刷マスク111

に押し付ける。そして、導電性ペースト89が供給された印刷マスク111上でスキージ114を移動させることにより、開口部113a、113bに導電性ペースト89をそれぞれ充填する。ここで、印刷マスク111の中央部から外周部に向かってマスク厚を徐々に厚くすることにより、中央部に配置された開口部113bに比べて、端部に配置された開口部113aの充填量を多くすることができる。

【0080】

そして、図4（b）に示すように、印刷マスク111の開口部113a、113bに充填された導電性ペースト89を、キャリア基板81のランド85a、85b上に転写することにより、キャリア基板81のランド85a、85b上に導電性ペースト89a、89bをそれぞれ印刷する。ここで、開口部113bに充填された導電性ペースト89の充填量に比べて、開口部113aに充填された導電性ペースト89の充填量の方が多い。このため、キャリア基板81のランド85b上の導電性ペースト89bの厚みに比べ、ランド85a上に導電性ペースト89aの厚みを厚くすることができる。

【0081】

次に、図4（c）に示すように、導電性ペースト89a、89bが印刷された半導体パッケージPK31上に、突出電極99a、99bが形成された半導体パッケージPK32をマウントする。

次に、図5（a）に示すように、リフロー処理を行うことにより、導電性ペースト89a、89bおよび突出電極99a、99bを溶融させる。そして、導電性ペースト89a、89bおよび突出電極99a、99bからなる突出電極101a、101bをランド85a、85bおよびランド94a、94b上にそれぞれ接合させる。

【0082】

これにより、キャリア基板81のランド85a、85b上に導電性ペースト89a、89bを一括形成することを可能としつつ、キャリア基板81とキャリア基板91との間の間隔に対応して、突出電極101a、101bの体積を変化させることが可能となる。このため、キャリア基板81、91に反りがある場合に

おいても、突出電極101a、101bの括れを抑制することが可能となり、製造効率の劣化を抑制しつつ、キャリア基板81、91間の接続信頼性を向上させることが可能となる。

【0083】

次に、図5（b）に示すように、キャリア基板81をマザー基板上に実装するための突出電極89を、キャリア基板81の裏面に設けられたランド84上に形成する。

図6は、本発明の第4実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第4実施形態は、導電性ペースト89の塗布量を調整することにより、キャリア基板81に塗布される導電性ペースト89a、89bの厚みを調整するようにしたものである。

【0084】

図6において、キャリア基板81のランド85a、85b上に導電性ペースト89a、89bを形成する場合、ディスペンサ121を用いる。そして、導電性ペースト89の供給量をランド85a、85bごとに調整しながら、キャリア基板81のランド85a、85b上に導電性ペースト89a、89bを形成する。

これにより、キャリア基板81とキャリア基板91との間の間隔に対応して、突出電極101a、101bの体積を変化させることが可能となり、キャリア基板81、91に反りがある場合においても、突出電極101a、101bの括れを抑制することが可能となる。

【0085】

図7は、本発明の第5実施形態に係る半導体装置の構成を示す断面図である。なお、この第5実施形態は、W-CSP（ウェハレベルチップサイズパッケージ）の突出電極227a、227bに対応して設けられた開口部226a、226bの開口径を変化させるようにしたものである。

図7において、半導体パッケージPK41にはキャリア基板211が設けられている。そして、キャリア基板211の裏面には、突出電極219を配置するためのランド214が設けられている。そして、ランド214が設けられたキャリア基板211の裏面にはソルダレジストなどの絶縁膜212が形成され、絶縁膜

212には、ランド214の表面を露出させる開口部212aが設けられている。
。

【0086】

一方、キャリア基板211の表面には、突出電極229a、229bをそれぞれ配置するためのランド215a、215bがそれぞれ設けられるとともに、突出電極217を配置するためのランド215cが設けられている。そして、ランド215a～215cが設けられたキャリア基板211の表面にはソルダレジストなどの絶縁膜213が形成され、絶縁膜213には、ランド215a～215cの表面を露出させる開口部213a～213cがそれぞれ設けられている。

【0087】

ここで、突出電極229a、229bに対応してそれぞれ設けられた開口部213a、213bの開口径は、例えば、キャリア基板211の中央部から外周部に向かって徐々に小さくなるように設定することができる。

そして、キャリア基板211上には半導体チップ216がフリップチップ実装され、半導体チップ216には、フリップチップ実装するための突出電極217が設けられている。そして、半導体チップ216に設けられた突出電極217は、異方性導電フィルム218を介してランド215c上にACF接合されている。また、キャリア基板211の裏面に設けられたランド214上には、キャリア基板211をマザーボード上に実装するための突出電極219が設けられている。

【0088】

一方、半導体パッケージPK42には半導体チップ221が設けられ、半導体チップ221には、電極パッド222が設けられるとともに、電極パッド222が露出するようにして、絶縁膜223が設けられている。そして、半導体チップ221上には、電極パッド222が露出するようにして応力緩和層224が形成され、電極パッド222上には、応力緩和層224上に延伸された再配置配線225が形成されるとともに、応力緩和層224上には、突出電極227a、227bをそれぞれ配置するためのランド225a、225bが設けられている。
。そして、再配置配線225およびランド225a、225b上にはソルダレジスト膜226が形成され、ソルダレジスト膜226には、応力緩和層224上に

おいてランド225a、225bをそれぞれ露出させる開口部226a、226bが形成されている。

【0089】

ここで、突出電極227a、227bに対応して設けられた開口部226a、226bの開口径は、例えば、半導体チップ221の中央部から外周部に向かって徐々に小さくなるように設定することができる。

そして、開口部226a、226bを介して露出されたランド225a、225b上には、半導体チップ221が半導体チップ216上に保持されるようにして、半導体チップ221をフェースダウン実装するための突出電極227a、227bがそれぞれ設けられている。なお、突出電極227a、227bは、半導体チップ216の搭載領域を避けるようにして配置することができ、例えば、半導体チップ221の周囲に突出電極227a、227bを配置することができる。

【0090】

ここで、キャリア基板211や半導体チップ216などの線膨張係数の違いにより、例えば、半導体パッケージPK41が下側に反り、半導体チップ221や応力緩和層224などの線膨張係数の違いにより、半導体パッケージPK42も下側に反っていて、半導体パッケージPK41が半導体パッケージPK42よりも大きく反っているものとする。

【0091】

そして、例えば、半導体パッケージPK41が下側に反り、半導体パッケージPK42も下側に反り、半導体パッケージPK41が半導体パッケージPK42よりも大きく反った状態で、キャリア基板211上に設けられたランド215a、215bに突出電極227a、227bをそれぞれ接合させることにより、半導体チップ221をキャリア基板221上に実装することができる。なお、上述した例では、半導体パッケージPK41が半導体パッケージPK42よりも大きく反っているものとしたが、半導体パッケージPK42が半導体パッケージPK41よりも大きく反っていても良い。

【0092】

これにより、半導体チップ216がフリップチップ実装されたキャリア基板211上にW-CSPを積層することができ、半導体チップ216、221の種類またはサイズが異なる場合においても、半導体チップ216、221間にキャリア基板を介在させることなく、半導体チップ216上に半導体チップ221を3次元実装することが可能となるとともに、キャリア基板211および半導体チップ221の両側から、突出電極227a、227bの広がりを制御することが可能となる。

【0093】

このため、半導体パッケージPK41、K42に反りがある場合においても、半導体チップ216、221積層時の高さの増大を抑制しつつ、突出電極227a、227bの括れを抑制することが可能となり、3次元実装時の接続信頼性の劣化を抑制しつつ、半導体チップ216、221実装時の省スペース化を図ることが可能となる。

【0094】

なお、上述した実施形態では、半導体チップ221の中央部から外周部に向かって開口部226a、226bの開口径が徐々に小さくなる場合について説明したが、半導体パッケージK42が下側に反る場合には、半導体チップ221の中央部から外周部に向かって開口部226a、226bの開口径が徐々に大きくなるように設定してもよい。

【0095】

また、上述した半導体装置および電子デバイスは、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD（M i n i D i s c）プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

また、上述した実施形態では、半導体チップまたは半導体パッケージを実装する方法を例にとって説明したが、本発明は、必ずしも半導体チップまたは半導体パッケージを実装する方法に限定されることなく、例えば、弹性表面波（S A W）素子などのセラミック素子、光変調器や光スイッチなどの光学素子、磁気センサやバイオセンサなどの各種センサ類などを実装するようにしてもよい。

【図面の簡単な説明】

- 【図1】 第1実施形態に係る半導体装置の構成を示す断面図。
- 【図2】 図1の半導体装置の製造方法を示す断面図。
- 【図3】 第2実施形態に係る半導体装置の構成を示す断面図。
- 【図4】 第3実施形態に係る半導体装置の構成を示す断面図。
- 【図5】 第3実施形態に係る半導体装置の製造方法を示す断面図。
- 【図6】 第4実施形態に係る半導体装置の構成を示す断面図。
- 【図7】 第5実施形態に係る半導体装置の構成を示す断面図。

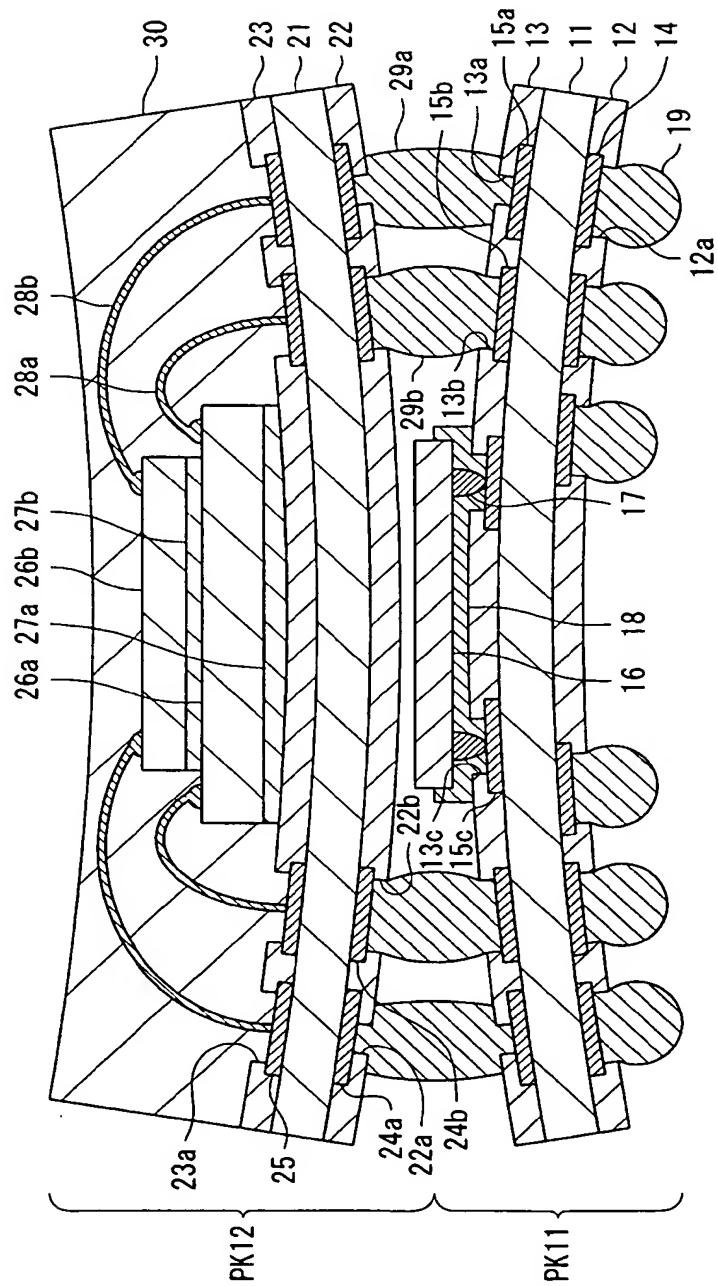
【符号の説明】

11、21、31、41、51、81、91、211 キャリア基板、12、
13、22、23、42、43、52、53、82、83、92、93、212
、223 絶縁膜、12a、13a～13c、22a、22b、42a、43a
～43c、52a、52b、82a、83a、83b、92a、92b、112
、113a、113b、214、215a、215b、226a、226b 開
口部、44a、44b、44c、45a、45b、45c、54a、54b、5
5、72、84、85a、85b、85c、94a、94b、95、214、2
15a、215b、225a、225b ランド、16、26a、26b、46
、56a、56b、86、96a、96b、216、221 半導体チップ、1
7、19、29a、29b、47、49a、49b、49c、59a、59b、
87、99a、99b、101a、101b、102、217、219、227
a、227b 突出電極、18、48、88、218 異方性導電フィルム、2
7a、27b、57a、57b、97a、97b 接着層、28a、28b、5
8a、58b、98a、98b 導電性ワイヤ、30、60、100 封止樹脂
、71 マザー基板、89、89a、89b 導電性ペースト、111 印刷マ
スク 114 スキージ、121 デイスペンサ、222 電極パッド、224
応力緩和層、225 再配置配線、226 ソルダレジスト層、PK11、P
K12、PK21、PK22、PK31、PK32、PK41、PK42 半導
体パッケージ

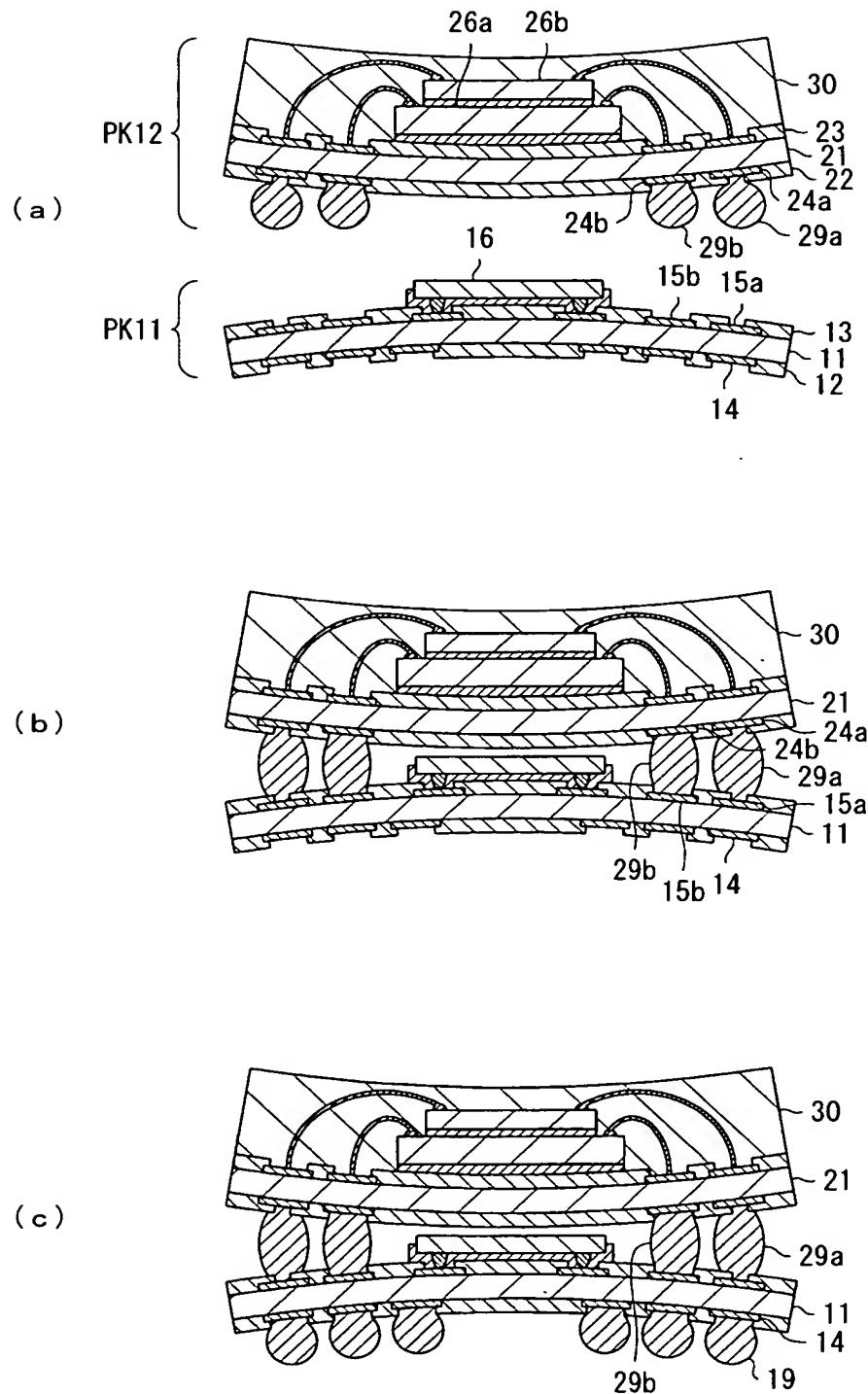
【書類名】

図面

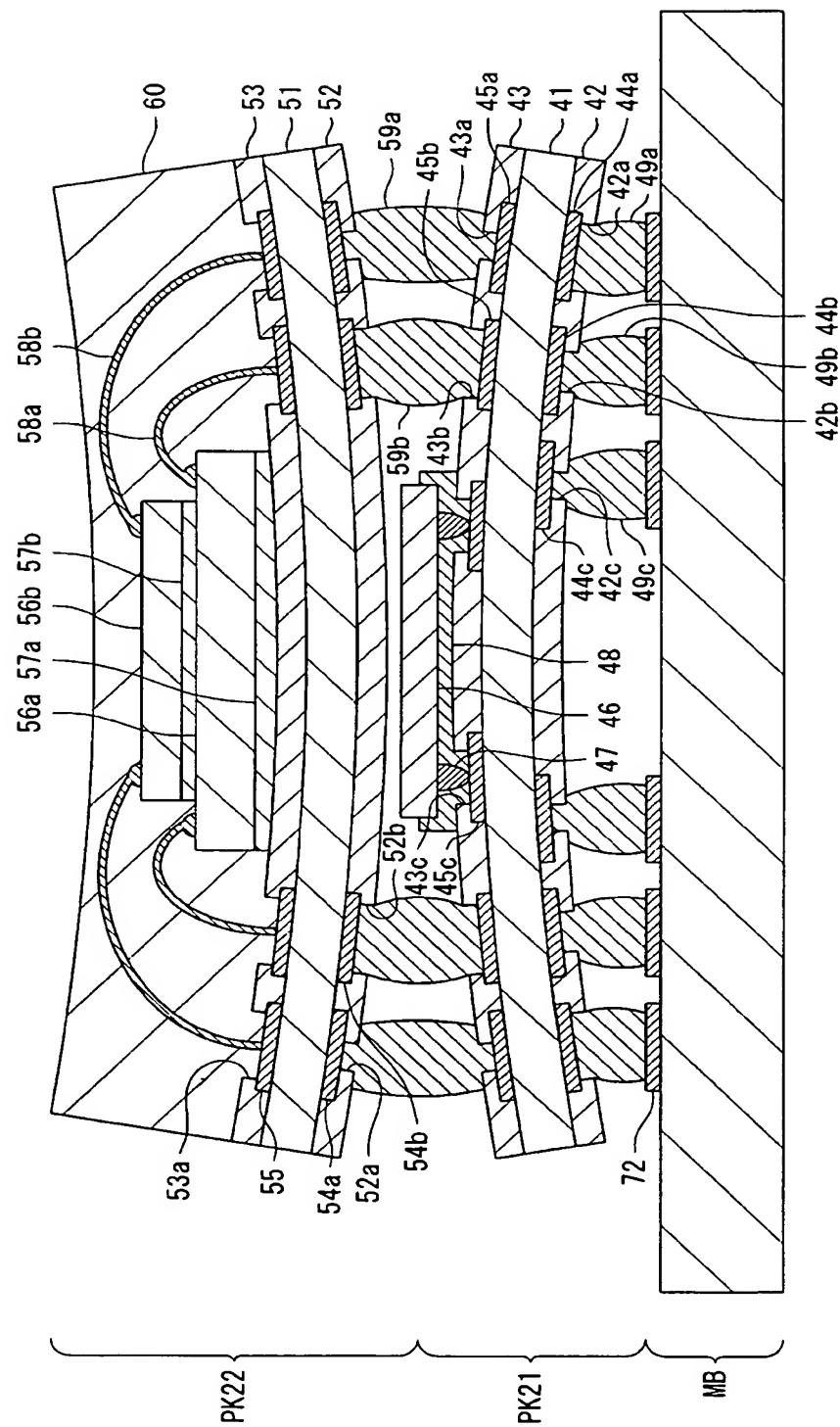
【図1】



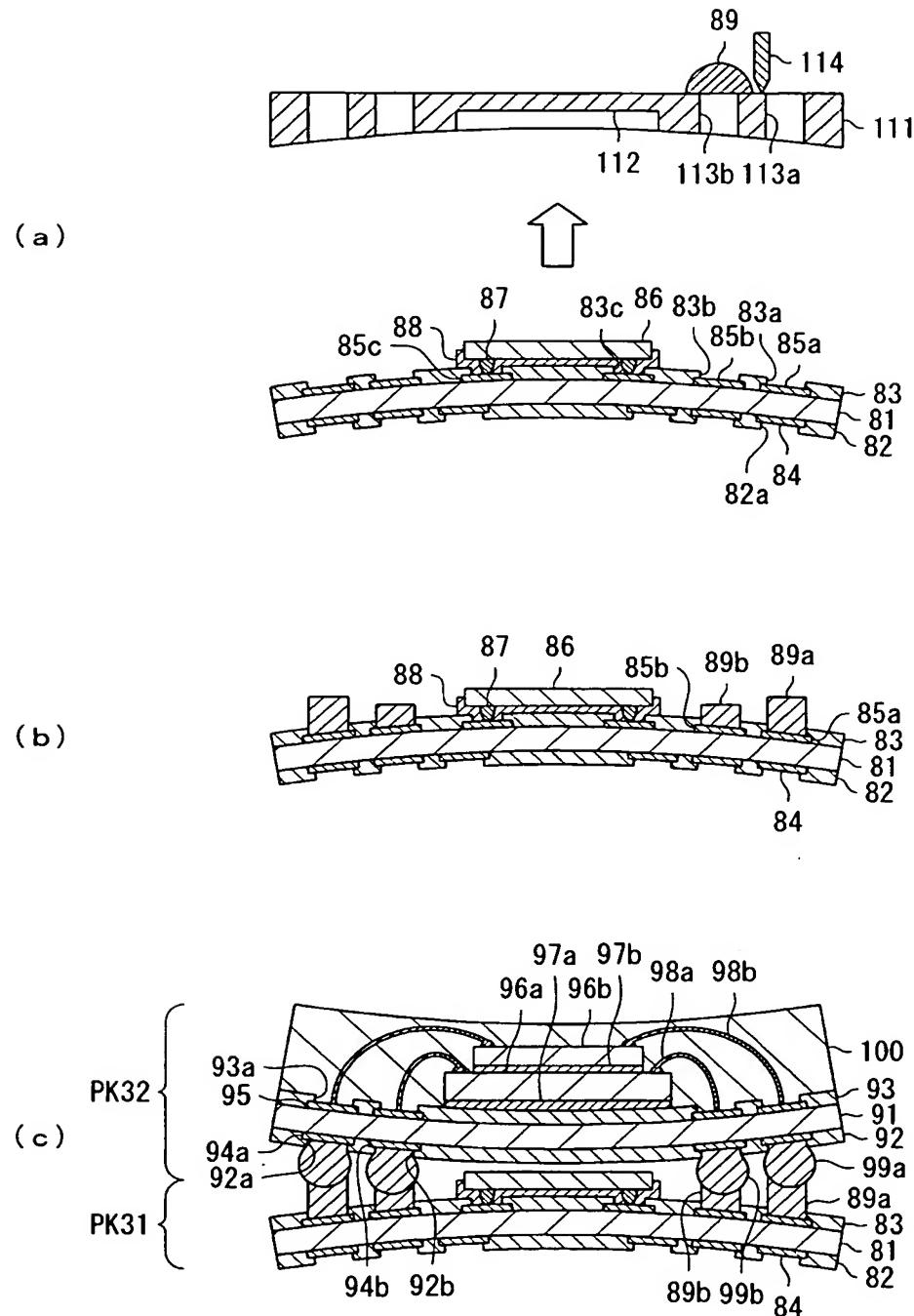
【図2】



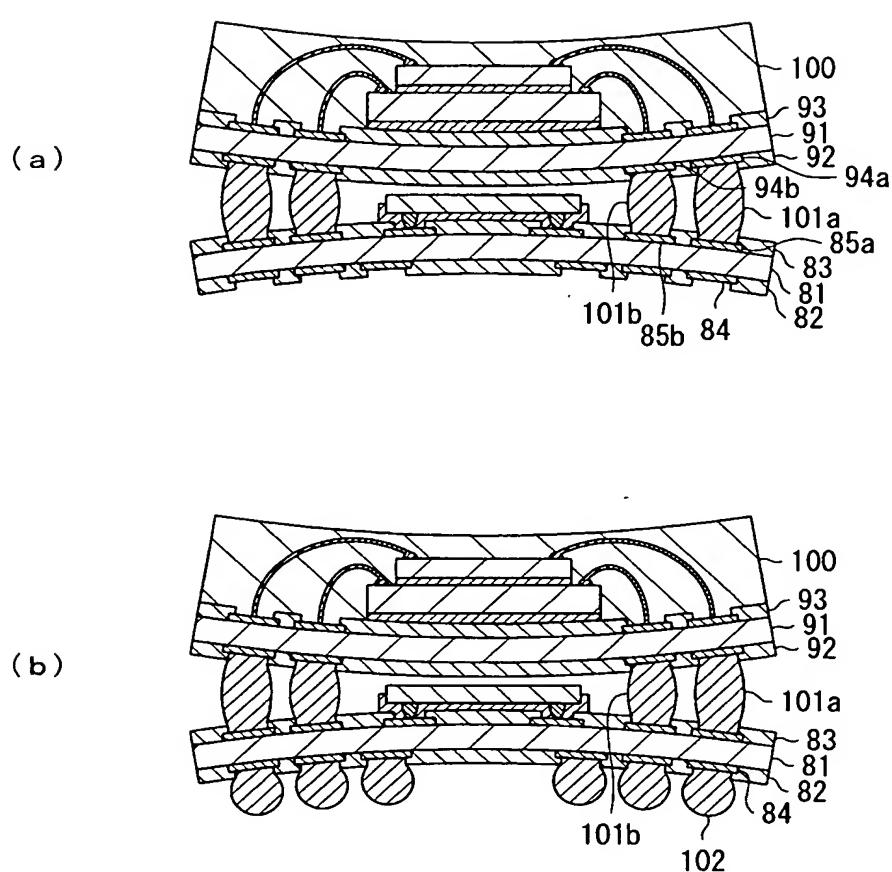
【図3】



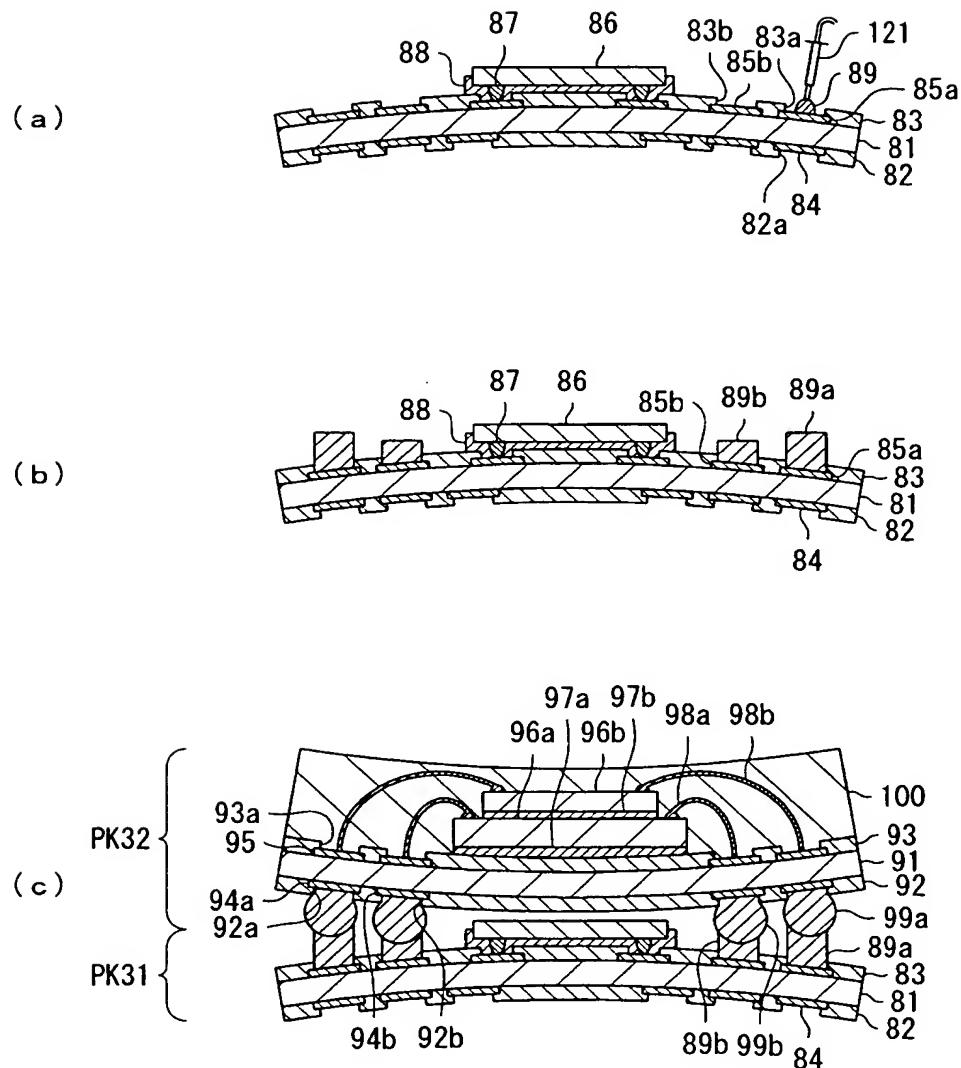
【図4】



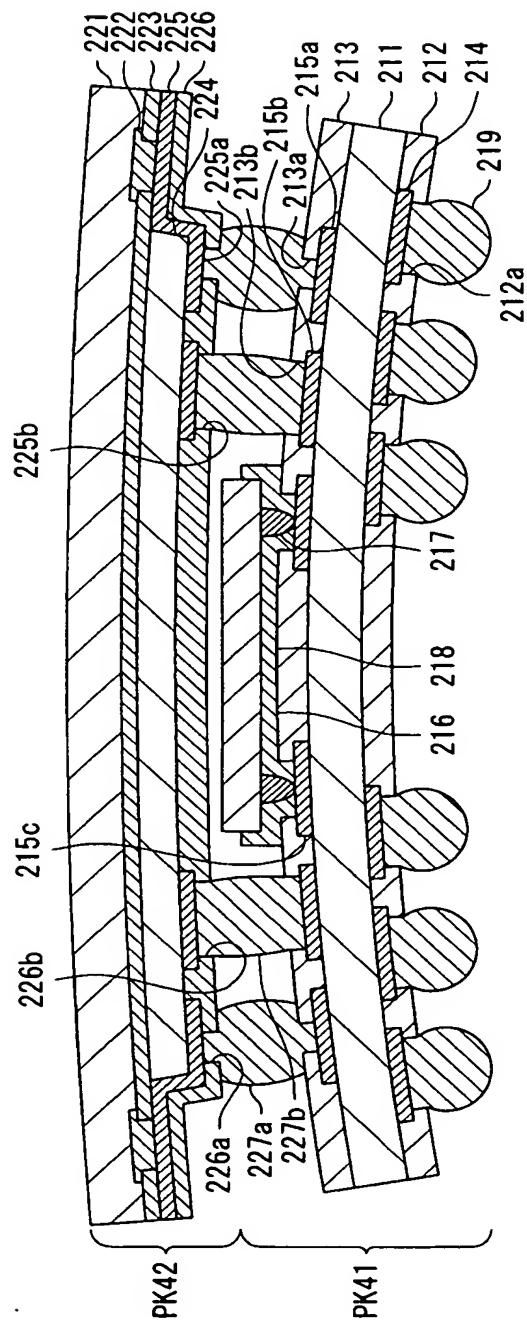
【図5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 パッケージの反りを考慮しつつ、3次元実装時の接続信頼を向上させる。

【解決手段】 突出電極29a、29bに対応してそれぞれ設けられた開口部13a、13bの開口径を、キャリア基板11の中央部から外周部に向かって徐々に小さくなるように設定するとともに、突出電極29a、29bにそれぞれ対応して設けられた開口部22a、22bの開口径を、キャリア基板21の中央部から外周部に向かって徐々に小さくなるように設定する。

【選択図】 図1

特願2003-081221

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号
氏名 セイコーエプソン株式会社